

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

CLIPPEDIMAGE= JP363278273A  
PAT-NO: JP363278273A  
DOCUMENT-IDENTIFIER: JP 63278273 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 15, 1988

INVENTOR-INFORMATION:

NAME

HAZAMA, HIROAKI

ASSIGNEE-INFORMATION:

NAME

AGENCY OF IND SCIENCE & TECHNOL

COUNTRY

N/A

APPL-NO: JP62098730

APPL-DATE: April 23, 1987

INT-CL (IPC): H01L029/78; H01L027/12

US-CL-CURRENT: 257/354

ABSTRACT:

PURPOSE: To suppress a substrate potential without expanding a device area and to efficiently collect an excess carrier generated inside a semiconductor film by forming a semiconductor region which functions as a substrate electrode which comes into contact with both a source region and a channel region.

CONSTITUTION: A silicon oxide film is deposited on a silicon substrate 11; a polycrystalline silicon film doped with a p-type impurity is deposited on it. In succession, this film is transformed to be single-crystalline; a P-type single-crystal silicon film 13 is formed. Then, a device formation region is patterned like an island; a gate insulating film 14 is formed by a thermal oxidation method; a gate electrode 15 is formed and patterned. Then, ions of boron are implanted into only the lower part of a source region; a substrate electrode 16 as a p<SP>+</SP> impurity layer of high concentration is formed. Then, ions are implanted in order to form a source region 17 and a drain region 18. Then, a CVD oxide film 21 is deposited on the whole surface; a contact

hole which reaches the source region, the drain region and the gate region is formed; a wiring operation is executed by using metal wiring parts 22.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-278273

⑬ Int.Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

X-8422-5F  
7514-5F

⑭ 公開 昭和63年(1988)11月15日

審査請求 有 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭62-98730

⑰ 出 願 昭62(1987)4月23日

⑱ 発 明 者 間 博 願 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑲ 出 願 人 工業技術院長 東京都千代田区霞が関1丁目3番1号

## 明 細 書

## 1. 発明の名称

半 導 体 装 置

## 2. 特許請求の範囲

(1) 絶縁膜上に形成された第1導電型半導体膜に第2導電型のソース・ドレイン領域を形成すると共に、これらの間のチャネル領域上にゲート電極を形成してなる半導体装置において、前記ソース領域及びチャネル領域の双方に接するように高濃度の第1導電型半導体領域を設けたことを特徴とする半導体装置。

(2) 前記高濃度の第1導電型半導体領域は、前記ソース領域の下部或いは周囲に設けられたものであることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記高濃度の第1導電型半導体領域は、前記第1導電型半導体膜の基板電極として用いられることを特徴とする特許請求の範囲第1項記載の半導体装置。

## 3. 発明の詳細な説明

## 〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置に係わり、特に絶縁膜上に形成された半導体膜に電界効果型トランジスタを設けた半導体装置に関する。

(従来技術)

近年、シリコン酸化膜等の絶縁膜上に単結晶半導体膜を形成し、この半導体膜にMOSトランジスタ等の素子を形成する技術が開発されている。絶縁膜上に形成された半導体素子は寄生容量が小さく、ラッチアップフリーであり、耐放射線性に優れ、また寄生容量が少なく高速動作が可能であり、薄膜トランジスタを容易に作成し得ると云う特徴を持っている。また、絶縁膜を介して素子を積層することが可能であり、高集積、多機能化の点で非常に有利である。

ところで、絶縁膜上に作成されたMOSトランジスタにおいては、基板に相当する半導体膜はフローティングの状態となる。半導体膜がフローテ

ィングの状態となることは、ゲートとの容量結合によって半導体基板の電位が変動すること、また素子の微細化に伴いドレイン近傍で生じる余剰キャリアを効率良く収集できないこと等、素子の特性を安定させる上で好ましくない。

そこで、第3図に示す如く基板電極を追加することにより、半導体膜に所定の基板バイアスを与えることが考えられるが、この場合、基板電極の追加により素子面積が大きくなり、半導体装置の微細化及び高集積化に不利である。なお、第3図(a)は平面図であり、第3図(b)は同図(a)の矢視B-B断面図である。また、図中31はSi基板、32は下地絶縁膜としてのSiO<sub>2</sub>膜、33はSOIとしてのSi膜、34はゲート酸化膜、35はゲート電極、36は基板電極、37、38はソース・ドレイン領域、41はSiO<sub>2</sub>膜、42はA<sub>2</sub>配線を示している。

(発明が解決しようとする問題点)

このように従来、絶縁膜上の半導体膜に形成したMOSトランジスタにおいては、半導体膜を

- 3 -

フローティングの状態で用いることは望ましくなく、またこれを避けるために基板電極を設けると素子面積が大きくなると云う問題があった。

本発明は上記事情を考慮してなされたもので、その目的とするところは、素子面積を大きくすることなく、半導体膜に所定の基板電位を与えることができ、半導体膜に形成する半導体素子の特性向上及び微細化をはかり得る半導体装置を提供することにある。

[発明の構成]

(問題点を解決するための手段)

本発明の骨子は、半導体膜中に発生した余剰キャリアを効率良く収集するための基板電極としての半導体領域を設けることにあり、さらにこの半導体領域をソースの下部や周囲等に設けることにより、素子面積の増大を抑えることにある。

即ち本発明は、絶縁膜上に形成された第1導電型半導体膜に第2導電型のソース・ドレイン領域を形成すると共に、これらの間のチャネル領域上にゲート電極を形成してなる半導体装置において、

- 4 -

記ソース領域及びチャネル領域の双方に接するように高濃度の第1導電型半導体領域を設けるようにしたものである。

(作用)

本発明によれば、第1導電型半導体領域を形成することにより、ソース電極の下部或いは周囲に形成された高濃度の第1、第2導電型の接合を通して半導体膜の電位変動を抑えて、半導体膜中に発生した余剰キャリアを効率良く収集することが可能であり、これにより素子特性が著しく向上する。また、この基板電極として作用する第1導電型半導体領域をソース電極の下部或いは周囲に配置するため、素子面積を増大させることなく上記の効果を発揮することが可能であり、微細化及び高集積化にも有効である。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の一実施例に係わる半導体装置の製造工程を示す断面図である。まず、第1図

- 5 -

(a)に示す如く、シリコン基板11上にスパッタ或いはCVD法によりシリコン酸化膜(絶縁膜)12を1μmの厚さに堆積し、その上にp型不純物をドーブした多結晶シリコン膜を8000Åの厚さに堆積する。続いて、ビームアニール法或いはヒータによるアニール法を用いて、多結晶シリコン膜を単結晶化し、p型単結晶シリコン膜(第1導電型半導体膜)13を形成した。ここで、シリコン酸化膜12及び単結晶シリコン膜13からSOI単結晶シリコン基板が形成される。

次いで、第1図(b)に示す如く、素子形成領域を通常の写真蝕刻法を用いて島状にパターンニングする。次いで、第1図(c)に示す如く、酸素雰囲気中での熱酸化によりゲート酸化膜14を400Åの厚さに形成して、通常のNチャネルMOSトランジスタの形成方法に従い、ポリシリコン等からなるゲート電極15を形成してパターンニングした。

次いで、第1図(d)に示す如く、ソース領域の下部のみにホウ素(B<sup>+</sup>)のイオン注入を行い、

- 6 -

高濃度の $p^+$ 不純物層である基板電極(第1導電型半導体領域)16を形成する。このとき、通常のソース・ドレイン形成よりも加速電圧を大きくして、イオン注入のピーク濃度がシリコン膜13とシリコン酸化膜12との界面付近に位置するようになる。

次に、第1図(e)に示す如く、通常のセルフアライン法を用いて、ソース領域17及びドレイン領域18の形成のためのイオン注入を行う。このとき、イオン注入のピーク濃度の位置を基板電極16を形成する場合に比べて浅くすることにより、容易に $n^+ - p^+$ 接合を形成することが可能である。また、このときの不純物としてはヒ素或いはリン等を用いればよい。なお、この状態で基板電極16はソース領域17及びチャネル領域の双方に接することになり、ソース領域16を介して所定の基板電位(この場合ソースと同電位)が与えられるものとなる。

次に、第1図(f)に示す如く、全面にCVD酸化膜21を堆積し、ソース、ドレイン及

- 7 -

断面は第1図(f)と同じである。つまり、上記半導体領域はソース領域とチャネル領域との双方に接するように形成すればよい。また、第1導電型半導体膜に形成する素子としては、MOSトランジスタに限らずMESトランジスタにも適用可能である。さらに、Nチャネルトランジスタに限らず、Pチャネルトランジスタにも適用できるのは勿論のことである。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

#### [発明の効果]

以上詳述したように本発明によれば、ソース領域及びチャネル領域の双方に接して基板電極として作用する半導体領域を設けることにより、素子面積を増大することなく基板電位を抑えることができ、半導体膜中に発生した余剰キャリアを効率良く収集することが可能となる。従って、絶縁膜上の半導体膜に形成する半導体素子の特性向上及び高集積化をはかり得る半導体装置を実現することが可能となる。

- 9 -

びゲートに達するコンタクトホールを形成し、金属配線22を用いて配線する。このとき、配線材料は $n$ 型及び $p$ 型半導体とオーミックコンタクトがとれる材料であればよい。

かくして作成された本装置においては、素子形成領域を増加させることなく、素子の基板電位をソース電位に一致させることができ、トランジスタの特性を安定化することができる。即ち、ソース領域17の下部に基板電極16を設けているので、シリコン膜13中に発生した余剰キャリアを効率良く収集することができ、且つ基板電極16の形成による素子面積の増大をなくすることができる。また、従来工程に第1図(d)に示すホウ素のイオン注入工程を付加するのみのでよく、簡易な工程で実現し得る等の利点もある。

なお、本発明は上述した実施例に限定されるものではない。例えば、前記基板電極となる半導体領域16はソースの下部のみに限定されるものではなく、第2図に示す如くソース領域17の両側に形成してもよい。ここで、第2図の矢視A-A

- 8 -

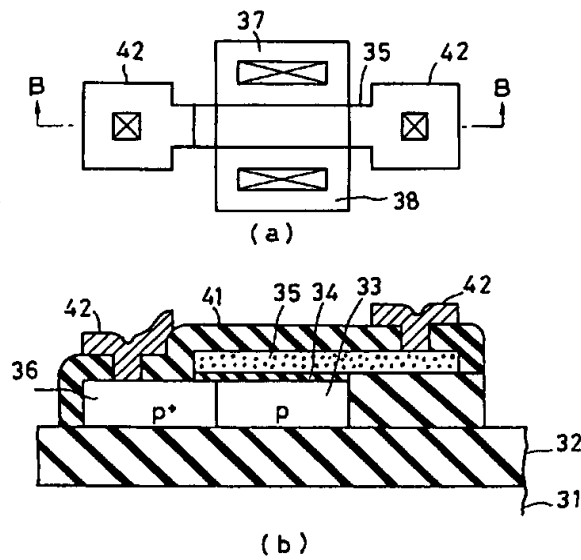
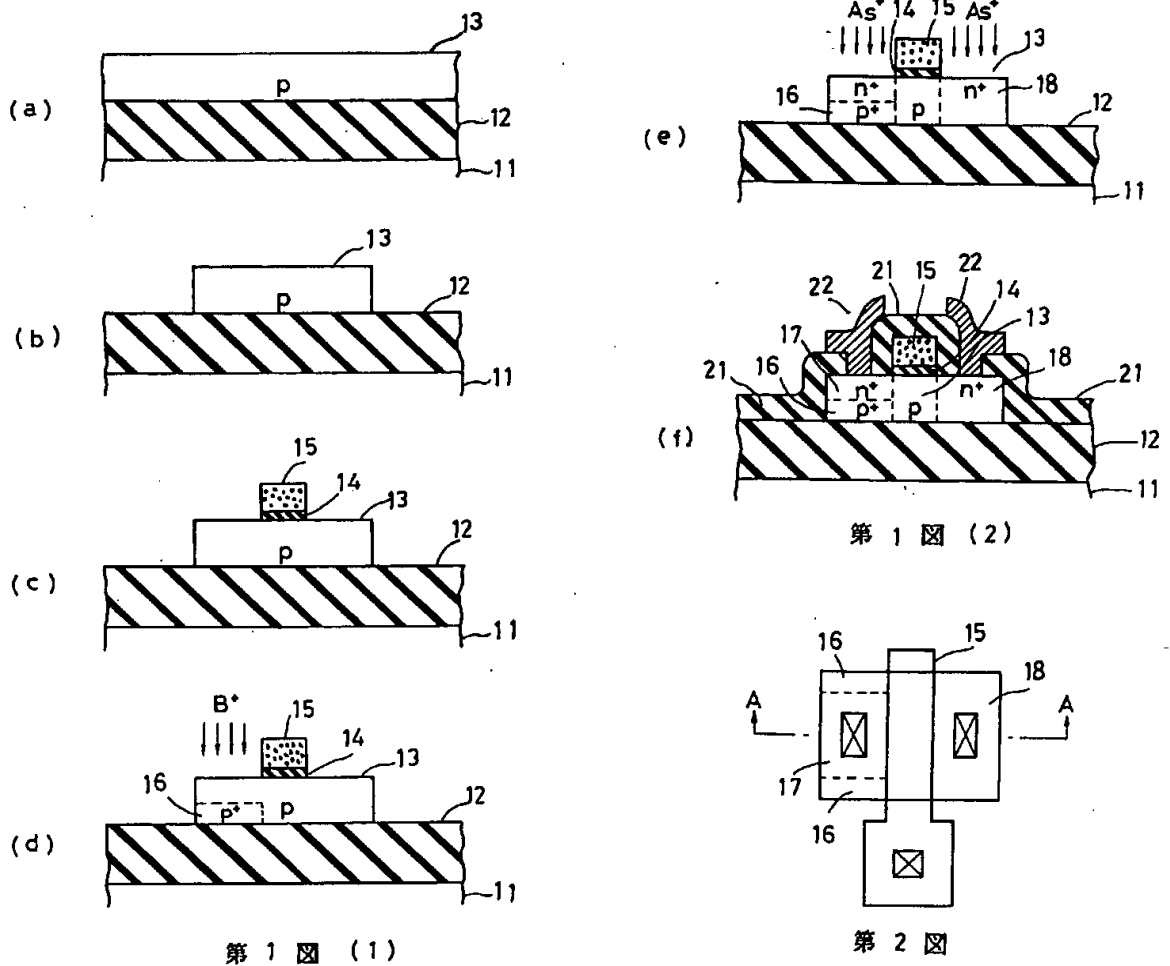
#### 4. 図面の簡単な説明

第1図は本発明の一実施例に係わる半導体装置の製造工程を示す断面図、第2図は変形例を説明するための平面図、第3図は従来の問題点を説明するための平面図及び断面図である。

11…単結晶シリコン基板、12シリコン酸化膜(絶縁膜)、13…単結晶シリコン膜(第1導電型半導体膜)、14…ゲート酸化膜、15…ゲート電極、16…基板電極(高濃度第1導電型半導体領域)、17…ソース領域、18…ドレイン領域、21…CVD酸化膜、22…金属配線。

出願人 工業技術院長 飯塚 幸三

- 10 -



第 3 図

**Declaration and Power of Attorney For Patent Application****特許出願宣言書及び委任状****Japanese Language Declaration****日本語宣言書**

下記の氏名の発明者として、私は以下の通り宣言します。

As a below named inventor, I hereby declare that:

私の住所、私書箱、国籍は、下記の私の氏名の後に記載された通りです。

My residence, post office address and citizenship are as stated next to my name.

下記の名称の発明に関して請求範囲に記載され、特許出願している発明内容について、私が最初かつ唯一の発明者（下記の氏名が一つの場合）もしくは最初かつ共同発明者であると（下記の名称が複数の場合）信じています。

I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled

SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING  
THE SAME

上記発明の明細書（下記の欄で×印がついていない場合は、本書に添付）は、

the specification of which is attached hereto unless the following box is checked:

☐ \_\_\_\_\_に提出され、米国出願番号または  
特許協定条約 国際出願番号を \_\_\_\_\_ とし、  
(該当する場合) \_\_\_\_\_ に訂正されました。

☒ was filed on January 28, 2000

as United States Application Number or  
PCT International Application Number  
09/493,063 and was amended on  
\_\_\_\_\_ (if applicable).

私は、特許請求範囲を含む上記訂正後の明細書を検討し、内容を理解していることをここに表明します。

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.

私は、連邦規則法典第37編第1条56項に定義されるとおり、特許資格の有無について重要な情報を開示する義務があることを認めます。

I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

**Burden Hour Statement:** This form is estimated to take 0.4 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks, Washington, DC 20231



Under the Paperwork Reduction Act of 1995, no persons are required to respond to collection of information unless it displays a valid OMB control number.

**Japanese Language Declaration**  
(日本語宣言書)

私は、米国法典第35編119条(a)-(d)項又は365条(b)項に基づき下記の、米国以外の国の少なくとも1ヶ国を指定している特許協力条約365条(a)項に基づく国際出願、又は外国での特許出願もしくは発明者証の出願についての外国優先権をここに主張するとともに、優先権を主張している、本出願の前に出願された特許または発明者証の外国出願を以下に、枠内をマークすることで、示しています。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International application which designated at least one country other than the United States, listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application on which priority is claimed.

**Prior Foreign Application(s)**

外国での先行出願

Priority Not Claimed

優先権主張なし

22484/1999

Japan

29/January/1999

☐

(Number)

(Country)

(Day/Month/Year Filed)

(番号)

(国名)

(出願年月日)

Japan

☐

(Number)

(Country)

(Day/Month/Year Filed)

(番号)

(国名)

(出願年月日)

私は、第35編米国法典119条(e)項に基づいて下記の米国特許出願規定に記載された権利をここに主張いたします。

I hereby claim the benefit under Title 35, United States Code, Section 119 (e) of any United States provisional application(s) listed below.

(Application No.)

(Filing Date)

(Application No.)

(Filing Date)

(出願番号)

(出願日)

(出願番号)

(出願日)

私は下記の米国法典第35編120条に基づいて下記の米国特許出願に記載された権利、又は米国を指定している特許協力条約365条(c)に基づく権利をここに主張します。また、本出願の各請求範囲の内容が米国法典第35編112条第1項又は特許協力条約で規定された方法で先行する米国特許出願に開示されていない限り、その先行米国出願書提出日以降で本出願書の日本国内または特許協力条約国際提出日までの期間中に入手された、連邦規則法典第37編1条56項で定義された特許資格の有無に関する重要な情報について開示義務があることを認識しています。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365 (c) of any PCT International application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code, Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application:

(Application No.)

(Filing Date)

(Status: Patented, Pending, Abandoned)

(出願番号)

(出願日)

(現況: 特許許可済、係属中、放棄済)

(Application No.)

(Filing Date)

(Status: Patented, Pending, Abandoned)

(出願番号)

(出願日)

(現況: 特許許可済、係属中、放棄済)

私は、私自身の知識に基づいて本宣言書中で私が行なう表明が真実であり、かつ私が入手した情報と私の信じているところに基づく表明が全て真実であると信じていること、さらに故意になされた虚偽の表明及びそれと同等の行為は米国法典第18編1001条に基づき、罰金または拘禁、もしくはその両方により処罰されること、そしてそのような故意による虚偽の声明を行なえば、出願した、又は既に許可された特許の有効性が失われることを認識し、よってここに上記のごとく宣誓を致します。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

## Japanese Language Declaration

(日本語宣言書)

委任状： 私は、下記の発明者として、本出願に関する一切の手続きを米特許商標局に対して遂行する弁理士または代理人として、下記の者を指名いたします。(弁護士、または代理人の氏名及び登録番号を明記のこと)

Paul N. Kokulis, Reg. 16773; Raymond F. Lippitt, Reg. 17519; G. Lloyd Knight, Reg. 17698; Carl G. Love, Reg. 18781; Edgar H. Martin, 20534; William K. West, Jr., Reg. 22057; Kevin E. Joyce, Reg. 20508; David W. Brinkman, Reg. 20817  
George M. Sirilla, Reg. 18221; Donald J. Bird, Reg. 25323; Peter W. Gowdey, Reg. 25872; Dale S. Lazar, Reg. 28872; Glenn J. Perry, Reg. 28458; Kendrew H. Colton, Reg. 30368; Paul E. White, Jr. Reg. 32011; Michelle N. Lester, Reg. 32331;

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith. (list name and registration number)

G. Paul Edgell, Reg. 24238; Lynn E. Eccleston, 35861; David A. Jakopin, Reg. 32995; Mark G. Paulson, Reg. 30793; Timothy J. Klima, Reg. 34852; Stephen C. Glazier, Reg. 31361; Paul F. McQuade, Reg. 31542; Ruth N. Morduch, Reg. 31044; Richard H. Zaitlen, Reg. 27248; Roger R. Wise, Reg. 31204; Jay M. Finkelstein, Reg. 21082; Anita M. Kirkpatrick, Reg. 32617; Michael R. Dzwonczyk, Reg. 36787

書類送付先：	Send Correspondence to: Pillsbury Madison & Sutro LLP, Intellectual Property Group 1100 New York Avenue, N.W., Ninth Floor, East Tower Washington D.C. 20005-3918 U. S. A.		
直接電話連絡先： (名前及び電話番号)	Direct Telephone Calls to: (name and telephone number) Pillsbury Madison & Sutro LLP, Intellectual Property Group (202)861-3000		
唯一または第一発明者名	Full name of sole or first inventor Eiji MORIFUJI		
発明者の署名	日付	Inventor's signature	Date
		<i>Eiji Morifuji</i>	May 22, 2000
住所 日本国, _____	Residence Yokohama-Shi, Kanagawa-Ken, Japan		
国籍 日本	Citizenship Japan		
私書箱	Post Office Address 240, Creare-Toshiba-Namiki, 2-7, Namiki 3-Chome, Kanazawa-Ku, Yokohama-Shi, Kanagawa-Ken, Japan		
第二共同発明者	Full name of second joint inventor, if any		
第二共同発明者の署名	日付	Second inventor's signature	Date
住所 日本国, _____	Residence Japan		
国籍 日本	Citizenship Japan		
私書箱	Post Office Address		
(第三以降の共同発明者についても同様に記載し、署名をすること)		(Supply similar information and signature for third and subsequent joint inventors.)	